

(A09)

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent Number: JP2002076878

Publication date: 2002-03-15

Inventor(s): KATO MASATAKA; MITSUMOTO KINYA

Applicant(s): HITACHI LTD

Requested Patent: JP2002076878

Application Number: JP20000262595 20000831

Priority Number(s):

IPC Classification: H03K19/0175; H03K5/14

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To sufficiently ensure a setup time in an input buffer circuit without decreasing an active time of an input signal.

SOLUTION: The input buffer circuit 1 is distributed with delay adjustment sections 2-4 that adjust a delay time of an input signal. A default delay time of the input buffer circuit 1 is set so that the setup time is about a medium time between a maximum time and a minimum time. In the case of setting the delay time to be shorter than that of the initial setting, high level control signals CS1-CS3 are respectively given to the delay adjustment sections 2-4, the setup time is adjusted without the delay of the delay adjustment sections 3, 4 and only with the delay time of the delay adjustment section 2. In the case of most increasing the setup time, low level control signals CS1-CS3 are respectively given to the delay adjustment sections 2-4, the setup time is adjusted without the delay of the delay adjustment sections 3, 4 by their static capacitance and with the delay time of the delay adjustment section 2.

Data supplied from the esp@cenet database - i2

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-76878

(P2002-76878A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int.Cl.⁷

H 03 K 19/0175
5/14

識別記号

F I

H 03 K 5/14
19/00

テマコト^{*}(参考)

5 J 001
1 0 1 N 5 J 056

審査請求 未請求 請求項の数 5 O.L (全 10 頁)

(21) 出願番号 特願2000-262595(P2000-262595)

(22) 出願日 平成12年8月31日(2000.8.31)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 加藤 正隆

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72) 発明者 光本 鈴哉

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(74) 代理人 100080001

弁理士 筒井 大和

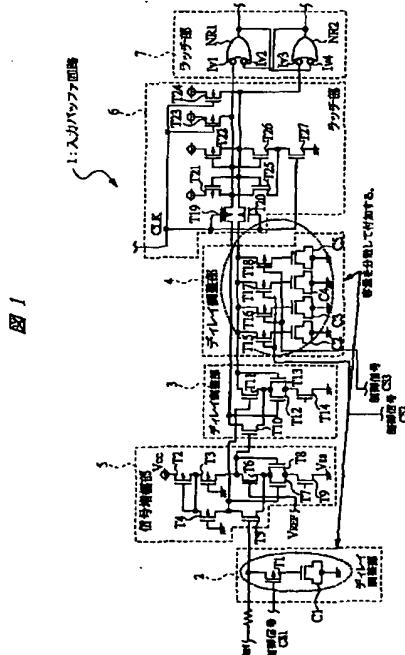
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 入力信号の振幅時間を減少させることなく、
入力バッファ回路におけるセットアップ時間と十分に確
保する。

【解決手段】 入力バッファ回路1には、入力信号のデ
ィレイ時間を調整するディレイ調整部2～4が分散して
設けられている。入力バッファ回路1の初期設定は、セ
ットアップ時間が最大と最小の中間程度となるようにデ
ィレイ時間が設定されている。ディレイ時間を初期設定
よりも少なくする場合、制御信号CS1～CS3をハイ
レベルとし、ディレイ調整部3、4のディレイは付加せ
ず、ディレイ調整部2によるディレイ時間だけを付加し
たセットアップ時間の調整とする。セットアップ時間を
最も多くする場合、制御信号CS1～CS3をローレベ
ルとし、ディレイ調整部3、4の静電容量によるディレ
イ時間にディレイ調整部2によるディレイ時間を加えた
セットアップ時間に調整する。



【特許請求の範囲】

【請求項1】 入力された低振幅のデータを増幅して出力する差動増幅部と、前記差動増幅部に増幅された信号をラッチし、クロック信号に同期して全振幅のデータとして出力するラッチ部と、前記差動増幅部の信号入力部に設けられ、入力された前記データをある時間だけ遅延して出力する第1ディレイ調整部と、前記ラッチ部の信号入力部に設けられ、前記差動増幅部から出力された信号をある時間だけ遅延して出力する第2ディレイ調整部とを備えた入力バッファ回路を設けたことを特徴とする半導体集積回路装置。

【請求項2】 入力された低振幅のデータを増幅して出力する差動増幅部と、前記差動増幅部に増幅された信号をラッチし、クロック信号に同期して全振幅のデータとして出力するラッチ部と、前記差動増幅部の信号入力部に設けられ、入力された前記データをある時間だけ遅延する静電容量素子と、制御信号に基づいて前記静電容量素子の接続制御を行う第1スイッチング部とよりなる第1ディレイ調整部と、前記ラッチ部の信号入力部に設けられ、入力された前記データを任意の時間だけ遅延するn個の静電容量素子と、制御信号に基づいて前記n個の静電容量素子の接続制御を行い、前記ラッチ部の信号入力部に付加される静電容量値を可変する第2スイッチング部とよりなる第2ディレイ調整部とを備えた入力バッファ回路を設けたことを特徴とする半導体集積回路装置。

【請求項3】 入力された低振幅のデータを増幅して出力する差動増幅部と、前記差動増幅部に増幅された信号をラッチし、クロック信号に同期して全振幅のデータとして出力するラッチ部と、

前記差動増幅部の信号入力部に設けられ、入力された前記データをある時間だけ遅延する静電容量素子と、制御信号に基づいて前記静電容量素子の接続制御を行う第1スイッチング部とよりなる第1ディレイ調整部と、

前記ラッチ部の信号入力部に設けられ、入力された前記データを任意の時間だけ遅延するn個の静電容量素子と、制御信号に基づいて前記n個の静電容量素子の接続制御を行い、前記ラッチ部の信号入力部に付加される静電容量値を可変する第2スイッチング部とよりなる第2ディレイ調整部とを備えた入力バッファ回路を設けたことを特徴とする半導体集積回路装置。

【請求項4】 入力された低振幅のデータを増幅して出

力する差動増幅部と、

前記差動増幅部に増幅された信号をラッチし、クロック信号に同期して全振幅のデータとして出力するラッチ部と、

前記ラッチ部の信号入力部に設けられ、入力された前記データを任意の時間だけ遅延するn個の静電容量素子と、制御信号に基づいて前記n個の静電容量素子の接続制御を行い、前記ラッチ部の信号入力部に付加される静電容量値を可変する第2スイッチング部とよりなる第2ディレイ調整部と、

前記差動増幅部の信号入力部に設けられ、入力された前記データを任意の時間だけ遅延して出力するn個の抵抗と、制御信号に基づいて前記n個の抵抗の接続制御を行い、前記ラッチ部の信号入力部に付加される入力抵抗値を可変する第3スイッチング部とよりなる第4ディレイ調整部とを備えた入力バッファ回路を設けたことを特徴とする半導体集積回路装置。

【請求項5】 入力された低振幅のデータを増幅して出力する差動増幅部と、

前記差動増幅部に増幅された信号をラッチし、クロック信号に同期して全振幅のデータとして出力するラッチ部と、

前記ラッチ部の信号入力部に設けられ、入力された前記データを任意の時間だけ遅延するn個の静電容量素子と、制御信号に基づいて前記n個の静電容量素子の接続制御を行い、前記ラッチ部の信号入力部に付加される静電容量値を可変する第2スイッチング部とよりなる第2ディレイ調整部と、

前記ラッチ部の信号入力部と前記第2ディレイ調整部との間に設けられ、入力された前記データをある時間だけ遅延して出力する差動増幅回路からなる第3ディレイ調整部と、

前記差動増幅部の信号入力部に設けられ、入力された前記データを任意の時間だけ遅延して出力するn個の抵抗と、制御信号に基づいて前記n個の抵抗の接続制御を行い、前記ラッチ部の信号入力部に付加される入力抵抗値を可変する第3スイッチング部とよりなる第4ディレイ調整部とを備えた入力バッファ回路を設けたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力回路のディレイ調整技術に関し、特に、クロック同期式の入力バッファ回路におけるディレイ調整に適用して有効な技術に関するものである。

【0002】

【従来の技術】本発明者が検討したところによれば、マイクロコンピュータ、シンクロナスSRAMなどの様々な半導体集積回路装置には、入力バッファ回路としてクロック同期式HSTL(High-Speed Tra

nsistor Logic) 入力バッファ回路が用いられているものがある。このクロック同期式HSTI入力バッファ回路は、基準電圧に対して±数百mV程度の振幅の入力信号が入力される。

【0003】クロック同期式HSTI入力バッファ回路は、入力信号を増幅する差動増幅回路、および該差動増幅回路から出力された信号をクロック信号に同期してラッチするラッチ回路から構成されている。

【0004】また、差動増幅回路とラッチ回路との間に、該ラッチ回路のセットアップ時間と満足するためにディレイ調整用素子としてMOS (Metal Oxide Semiconductor) ドバイ・トランジスタなどの容量負荷が付加されている。

【0005】なお、この種の半導体集積回路装置について詳しく述べてある例としては、1995年6月1日、株式会社インプレス発行、インテルジャパン(監修)、「イラストで読むマイクロプロセッサ入門」P21があり、この文献には、半導体集積回路装置の読み込みサイクルにおけるセットアップ時間の定義などが記載されている。

【0006】

【発明が解決しようとする課題】ところが、上記のような半導体集積回路装置の入力バッファ回路では、次のような問題点があることが本発明者により見い出された。

【0007】すなわち、容量負荷によるディレイ調節では、信号の立ち上がり／立ち下がり時間(t_r/t_f)が大きくなってしまい、ある程度以上の容量負荷を付加すると振幅が大幅に減少してしまうことになり、クロック信号配線の寄生容量、あるいはクロック信号を増幅する中間バッファなどを介したことなどによってクロック信号の遅延時間が大きくなると、ディレイ調整ができなくなってしまうという問題がある。

【0008】本発明の目的は、入力信号の振幅時間を減少させることなく、入力バッファ回路におけるセットアップ時間を充分に確保することのできる半導体集積回路装置を提供することにある。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0011】すなわち、本発明の半導体集積回路装置は、入力された低振幅のデータを増幅して出力する差動増幅部と、該差動増幅部に増幅された信号をラッチし、クロック信号に同期して全振幅のデータとして出力するラッチ部と、該差動増幅部の信号入力部に設けられ、入力されたデータをある時間だけ遅延して出力する第1ディレイ調整部と、該ラッチ部の信号入力部に設けられ、

差動増幅部から出力された信号をある時間だけ遅延して出力する第2ディレイ調整部とを備えた入力バッファ回路を設けたものである。

【0012】また、本発明の半導体集積回路装置は、入力された低振幅のデータを増幅して出力する差動増幅部と、該差動増幅部に増幅された信号をラッチし、クロック信号に同期して全振幅のデータとして出力するラッチ部と、差動増幅部の信号入力部に設けられ、入力されたデータをある時間だけ遅延する静電容量素子と制御信号に基づいて静電容量素子の接続制御を行う第1スイッチング部とよりなる第1ディレイ調整部と、ラッチ部の信号入力部に設けられ、入力されたデータを任意の時間だけ遅延するn個の静電容量素子と、制御信号に基づいて該n個の静電容量素子の接続制御を行い、ラッチ部の信号入力部に付加される静電容量値を可変する第2スイッチング部とよりなる第2ディレイ調整部とを備えた入力バッファ回路を設けたものである。

【0013】さらに、本発明の半導体集積回路装置は、入力された低振幅のデータを増幅して出力する差動増幅部と、該差動増幅部に増幅された信号をラッチし、クロック信号に同期して全振幅のデータとして出力するラッチ部と、差動増幅部の信号入力部に設けられ、入力されたデータをある時間だけ遅延する静電容量素子と、制御信号に基づいて静電容量素子の接続制御を行う第1スイッチング部とよりなる第1ディレイ調整部と、ラッチ部の信号入力部に設けられ、入力されたデータを任意の時間だけ遅延するn個の静電容量素子と、制御信号に基づいてn個の静電容量素子の接続制御を行い、ラッチ部の信号入力部に付加される静電容量値を可変する第2スイッチング部とよりなる第2ディレイ調整部とを備えた入力バッファ回路を設けたものである。

【0014】また、本発明の半導体集積回路装置は、入力された低振幅のデータを増幅して出力する差動増幅部と、該差動増幅部に増幅された信号をラッチし、クロック信号に同期して全振幅のデータとして出力するラッチ部と、該ラッチ部の信号入力部に設けられ、入力されたデータを任意の時間だけ遅延するn個の静電容量素子と、制御信号に基づいてn個の静電容量素子の接続制御を行い、ラッチ部の信号入力部に付加される静電容量値を可変する第2スイッチング部とよりなる第2ディレイ調整部と、差動増幅部の信号入力部に設けられ、入力されたデータを任意の時間だけ遅延して出力するn個の抵抗と、制御信号に基づいてそれらn個の抵抗の接続制御を行い、ラッチ部の信号入力部に付加される入力抵抗値を可変する第3スイッチング部とよりなる第4ディレイ調整部とを備えた入力バッファ回路を設けたものである。

【0015】さらに、本発明の半導体集積回路装置は、入力された低振幅のデータを増幅して出力する差動増幅部と、該差動増幅部に増幅された信号をラッチし、クロック信号に同期して全振幅のデータとして出力するラッチ部と、該ラッチ部の信号入力部に設けられ、入力された前記データを任意の時間だけ遅延するn個の静電容量素子と、制御信号に基づいてそれらn個の静電容量素子の接続制御を行い、ラッチ部の信号入力部に付加される静電容量値を可変する第2スイッチング部とよりなる第2ディレイ調整部と、ラッチ部の信号入力部と第2ディレイ調整部との間に設けられ、入力されたデータをある時間だけ遅延して出力する差動増幅回路からなる第3ディレイ調整部と、差動増幅部の信号入力部に設けられ、入力された前記データを任意の時間だけ遅延して出力するn個の抵抗と、制御信号に基づいてそれらn個の抵抗の接続制御を行い、ラッチ部の信号入力部に付加される入力抵抗値を可変する第3スイッチング部とよりなる第4ディレイ調整部とを備えた入力バッファ回路を設けたものである。

【0016】以上のことにより、入力されたデータの立ち上がり／立ち下がり時間を大幅に長くすることなくディレイ時間を任意に可変することができるので、入力バッファ回路のラッチ部におけるセットアップ時間を最適に設定することができる。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0018】(実施の形態1) 図1は、本発明の実施の形態1による半導体集積回路装置に設けられた入力バッファ回路の回路図である。

【0019】本実施の形態1において、入力バッファは、たとえば、シンクロナスSRAMなどのシンクロナス動作を有した半導体集積回路装置に設けられている。入力バッファは、入力データを所定のタイミングによって取り込む。

【0020】この入力バッファにおける入力バッファ回路1は、図1に示すように、ディレイ調整部2～4、信号増幅部5、ならびにラッチ部6、7から構成されている。ディレイ調整部(第1ディレイ調整部)2は、PチャネルMOSのトランジスタ(第1スイッチング部)T1、ならびに静電容量素子C1から構成されている。

【0021】トランジスタT1の一方の接続部には、入力信号であるデータD_{IN}が入力されるように接続されている。このデータD_{IN}は低振幅入力となっており、たとえば、基準電圧V_{REF}に対して±200mV程度の電圧振幅である。

【0022】データD_{IN}がローレベルの場合には、基準電圧よりも200mV程度低い電圧となり、データD_{IN}がハイレベルの場合には、基準電圧よりも200mV程度高い電圧となる。

【0023】また、静電容量素子C1は、NチャネルMOSトランジスタからなり、トランジスタT1の他方の接続部には、該静電容量素子C1の一方の接続部(トランジスタのゲート)が接続されている。

【0024】静電容量素子C1の他方の接続部(トランジスタの両方の接続部)には、基準電圧V_{SS}が接続されている。トランジスタT1のゲートには、制御信号CS1が入力されるように接続されている。

【0025】この制御信号CS1は、半導体集積回路装置に設けられたレジスタに格納された信号、該半導体集積回路装置に設けられた外部端子を介して入力される信号、あるいはヒューズ回路などから生成された信号であり、トランジスタT1のON/OFFを制御する。

【0026】また、ディレイ調整部2の後段には、信号増幅部5が接続されている。信号増幅部5は、PチャネルMOSのトランジスタT2～T4、およびNチャネルMOSのトランジスタT5～T9からなる。

【0027】トランジスタT2の一方の接続部には電源電圧V_{CC}が供給されている。トランジスタT2の他方の接続部には、該トランジスタT2のゲート、トランジスタT3、T4の一方の接続部がそれぞれ接続されている。

【0028】トランジスタT3、T4のゲートには、基準電圧V_{SS}が接続されている。トランジスタT3の他方の接続部には、トランジスタT6の一方の接続部、ならびにトランジスタT8のゲートがそれぞれ接続されている。トランジスタT6のゲートには基準電圧V_{REF}が供給されている。

【0029】トランジスタT4の他方の接続部には、トランジスタT5の一方の接続部、およびトランジスタT7のゲートがそれぞれ接続されている。トランジスタT5のゲートには、トランジスタT1の一方の接続部が接続されている。

【0030】トランジスタT5の他方の接続部には、トランジスタT6の他方の接続部、ならびにトランジスタT7、T8の一方の接続部がそれぞれ接続されている。トランジスタT7、T8の他方の接続部には、トランジスタT9の一方の接続部が接続されており、他方の接続部には基準電圧V_{SS}が接続されている。

【0031】信号増幅部5は、これらトランジスタT2～T9によって差動増幅回路が構成されており、基準電圧V_{REF}と入力された信号とを差動増幅して出力する。

【0032】また、信号増幅部5の後段には、ディレイ調整部(第3ディレイ調整部)3が接続されている。ディレイ調整部3は、NチャネルMOSのトランジスタT10～T14から構成されている。

【0033】トランジスタT10のゲートには、トランジスタT6の一方の接続部が接続されており、このトランジスタT10の一方の接続部には、トランジスタT12のゲートが接続されている。

【0034】トランジスタT10の他方の接続部には、トランジスタT11の他方の接続部、トランジスタT12、T13の一方の接続部がそれぞれ接続されている。トランジスタT11のゲートには、トランジスタT5の一方の接続部が接続されており、一方の接続部にはトランジスタT13のゲートが接続されている。

【0035】トランジスタT12、T13の他方の接続部には、トランジスタT14の一方の接続部が接続されており、このトランジスタT14の他方の接続部には基準電位V_{ss}が接続されている。

【0036】そして、ディレイ調整部3においても、これらトランジスタT10～T14によって差動増幅回路が構成されている。

【0037】ディレイ調整部3の後段には、ディレイ調整部（第2ディレイ調整部）4が接続されている。ディレイ調整部4は、PチャネルMOSのトランジスタ（第2スイッチング部）T15～T18、および静電容量素子C2～C5から構成されている。静電容量素子C2～C5は、前述した静電容量素子C1と同様にNチャネルMOSトランジスタからなる。

【0038】トランジスタT15、T16の一方の接続部には、トランジスタT11の一方の接続部が接続されており、トランジスタT16、T17の一方の接続部には、トランジスタT10の一方の接続部が接続されている。

【0039】トランジスタT15、T17のゲートには、制御信号CS2が入力されるように接続されており、トランジスタT16、T18のゲートには、制御信号CS3が入力されるように接続されている。

【0040】これら制御信号CS2、CS3も、制御信号CS1と同様に、半導体集積回路装置に設けられたレジスタに格納された信号、該半導体集積回路装置に設けられた外部端子を介して入力される信号、またはヒューズ回路によって生成される信号であり、トランジスタT5、T7、トランジスタT6、T8をそれぞれON/OFFを制御する。

【0041】ここで、静電容量素子C2～C5において、静電容量素子C3、C5の静電容量は、静電容量素子C2、C4の静電容量の2倍となるようにそれぞれ設定されている。

【0042】トランジスタT15～T17の他方の接続部には、静電容量素子C2～C5の一方の接続部（トランジスタのゲート）がそれぞれ接続されており、これら静電容量素子C2～C5の他方の接続部（トランジスタの両方の接続部）には基準電位V_{ss}がそれぞれ接続されている。

【0043】さらに、ディレイ調整部4の後段には、ラッチ部6が接続されている。ラッチ部6は、PチャネルMOSのトランジスタT19～T24、およびNチャネルMOSのトランジスタT25～T27から構成されて

いる。

【0044】トランジスタT19の一方の接続部には、トランジスタT17、T18の一方の接続部が接続されており、トランジスタT20の一方の接続部には、トランジスタT15、T16の一方の接続部が接続されている。

【0045】トランジスタT19、T20、T23、T24、T27のゲートには、外部から供給されるクロック信号CLKが供給されている。また、トランジスタT21～T24の一方の接続部には、電源電圧V_{cc}が供給されている。

【0046】トランジスタT19の他方の接続部には、トランジスタT21、T23の他方の接続部、トランジスタT22のゲート、およびトランジスタT25の一方の接続部がそれぞれ接続されている。

【0047】トランジスタT20の他方の接続部には、トランジスタT21、T25のゲート、トランジスタT26の一方の接続部、ならびにトランジスタT24の他方の接続部がそれぞれ接続されている。

【0048】トランジスタT25の他方の接続部には、トランジスタT26の他方の接続部、トランジスタT27の一方の接続部がそれぞれ接続されており、該トランジスタT27の他方の接続部には基準電位V_{ss}が接続されている。

【0049】このラッチ部6の後段には、ラッチ部7が接続されている。ラッチ部7は、インバータIv1～Iv4、および否定論理回路NR1、NR2から構成されたフリップフロップ回路からなる。

【0050】インバータIv1の入力部には、トランジスタT23の他方の接続部が接続されており、インバータIv3の入力部には、トランジスタT24の他方の接続部が接続されている。

【0051】インバータIv1の出力部には否定論理回路NR1の一方の入力部が接続されており、インバータIv2の出力部には否定論理回路NR1の他方の入力部が接続されている。

【0052】また、インバータIv3の出力部には否定論理回路NR2の一方の入力部が接続されており、インバータIv4の出力部には否定論理回路NR2の他方の入力部が接続されている。

【0053】否定論理回路NR1の出力部には、インバータIv4の入力部が接続されており、否定論理回路NR2の出力部には、インバータIv2の入力部が接続されている。そして、否定論理回路NR1、NR2の出力部から出力される信号が入力バッファ回路1の出力信号となる。

【0054】次に、本実施の形態の作用について説明する。

【0055】ここで、入力バッファ回路1は、初期設定としてセットアップ時間が最大と最小の中間程度となる

ようにディレイ時間が設定されている。この初期設定では、制御信号CS1, CS3がハイレベル、制御信号CS2がローレベルとなっている。

【0056】これらハイレベルの制御信号CS1, CS3により、トランジスタT1, T15, T17がOFFとなり、静電容量素子C1, C2, C4による静電容量は付加されてない。

【0057】一方、ローレベルの制御信号CS2によってトランジスタT16, T18がそれぞれONとなるので、静電容量素子C3, C5による静電容量が付加されている。よって、これら静電容量素子C3, C5の静電容量によるディレイ時間と、ディレイ調整部2によるディレイ時間とによってセットアップ時間が初期設定されている。

【0058】まず、入力バッファ回路1におけるディレイ時間を初期設定よりも少なくする場合には、制御信号CS1, CS3だけでなく、制御信号CS2もハイレベルとする。

【0059】これらハイレベルの制御信号CS1～CS3により、トランジスタT1, T15～T18がすべてOFFするので、静電容量素子C1～C5による静電容量が付加されず、ディレイ調整部2によるディレイ時間だけでセットアップ時間が調整される。

【0060】また、入力バッファ回路1におけるセットアップ時間を初期設定よりも多くする場合には、制御信号CS2, CS3をローレベルとする。ローレベルの制御信号CS2, CS3によってトランジスタT15～T18がすべてONとなり、静電容量素子C2～C5による静電容量が付加され、ディレイ調整部2によるディレイ時間に静電容量素子C2～C5の静電容量によるディレイ時間が加わったセットアップ時間が調整されることになる。

【0061】さらに、静電容量素子C2, C4と静電容量素子C3, C5は、前述したように、静電容量比が、1：2となるようにそれぞれ設定されているので、3通りの切り替えを行うことができ、きめ細かい調整をすることができる。

【0062】また、ここでは、静電容量比が1：2となるように設定したが、静電容量素子数を増加させ、静電容量比が1：2：4～となるように静電容量値を2倍毎に大きくなるように設定してもよい。

【0063】たとえば、6つの静電容量素子を、3つの制御信号によって接続制御することによって静電容量比を1：2：4にした場合、付加する静電容量素子の組み合わせにより、8通り（8段階）の切り替えを可能とすることができるので、よりきめ細かい調整をすることができます。

【0064】また、入力バッファ回路1におけるセットアップ時間を最も多くする場合には、制御信号CS1～CS3をすべてローレベルとする。これらローレベルの

制御信号CS1～CS3によってトランジスタT1, T15～T18がすべてONとなり、静電容量素子C1, C2～C5の静電容量によるディレイ時間、ならびにディレイ調整部2によるディレイ時間が加わったセットアップ時間に調整される。

【0065】ここで、静電容量素子C1は信号増幅部5の前段に設けられているので、該静電容量素子C1の静電容量によって入力されたデータD_{IN}のt_f/t_f時間が長くなても、信号増幅部5から差動増幅された信号が出力される際には充分な振幅時間を確保することができる。また、上記したディレイ時間の設定は、たとえば、プローブテストなどの電気的試験において、セットアップ時間が最適となるように調整される。

【0066】それにより、本実施の形態1によれば、ディレイ調整部2～4により、ディレイ時間を任意に可変することができるので、入力バッファ回路1のラッチ部6におけるセットアップ時間を短時間で最適に設定することができる。

【0067】また、ディレイ調整部2を信号増幅部5の前段に、ディレイ調整部3, 4を信号増幅部5の後段に分散してそれぞれ設けることにより、入力されたデータD_{IN}のt_r/t_f時間を短くできるので、データD_{IN}の充分な振幅時間を確保しながらディレイ時間を延ばすことができる。

【0068】さらに、本実施の形態1では、入力バッファ回路1に、3つのディレイ調整部2～4を設けた構成としたが、入力バッファに4つ以上のディレイ調整部を設ける構成としてもよい。

【0069】たとえば、4つのディレイ調整部を設けた入力バッファ回路1aを図2に示す。この図に示すように、入力バッファ回路1aは、本実施の形態1と同様の回路構成からなるディレイ調整部2～4に、新たにディレイ調整部（第2ディレイ調整部）4aと信号増幅部5aとが付加された構成となっている。

【0070】また、ディレイ調整部4aは、本実施の形態1におけるディレイ調整部4と同様の回路構成であり、信号増幅部5aは、本実施の形態1の信号増幅部5と同じ回路構成となっている。

【0071】そして、信号増幅部5aは、ディレイ調整部3の後段に接続され、ディレイ調整部4aは、信号増幅部5aの後段に接続された構成となっている。これによって、入力バッファ回路1aのラッチ部6におけるセットアップ時間をより広範囲にことができる。

【0072】（実施の形態2）図3は、本発明の実施の形態2による半導体集積回路装置に設けられた入力バッファ回路の回路図である。

【0073】本実施の形態2において、入力データを所定のタイミングによって取り込む入力バッファ回路1bは、図3に示すように、ディレイ調整部3, 8、信号増幅部5a、ならびにラッチ部6, 7から構成されてい

る。

【0074】ディレイ調整部（第4ディレイ調整部）8は、抵抗R1～R3から構成されている。信号増幅部5bには、セレクタ機能が設けられており、PチャネルMOSのトランジスタ（第3スイッチング部、第4ディレイ調整部）T28～T30、ならびにNチャネルMOSのトランジスタT31～T41から構成されている。

【0075】抵抗R1の一方の接続部には入力信号であるデータD_{IN}が入力されるように接続されており、この抵抗R1の他方の接続部には、抵抗R2の一方の接続部、およびトランジスタT41のゲートが接続されている。

【0076】抵抗R2の他方の接続部には、抵抗R3の一方の接続部、ならびにトランジスタT40のゲートが接続されており、この抵抗R3の他方の接続部には、トランジスタT39のゲートが接続されている。

【0077】これらトランジスタT31～T33の他方の接続部には、トランジスタT33、34の一方の接続部が接続されている。トランジスタT31～T33の一方の接続部には、トランジスタT36～38の他方の接続部がそれぞれ接続されている。

【0078】トランジスタT36～38の一方の接続部には、トランジスタT30の他方の接続部が接続されている。これらトランジスタT28～T30のゲートには、制御信号CS4～CS6がそれぞれ入力されるよう接続されている。

【0079】これら制御信号CS4～CS6は、半導体集積回路装置に設けられたレジスタに格納された信号、該半導体集積回路装置に設けられた外部端子を介して入力される信号、あるいはヒューズ回路によって生成される信号であり、トランジスタT28～T30のON/OFFを制御する。また、入力バッファ回路1bにおけるディレイ調整部3、ラッチ部6、7の回路構成、および接続構成は、前記実施の形態1と同様である。

【0080】次に、入力バッファ回路1bにおけるセットアップ時間の設定について説明する。

【0081】ここでも、入力バッファ回路1bは、前記実施の形態1と同様に初期設定としてセットアップ時間が最大と最小の中間程度となるようにディレイ時間が設定されている。

【0082】この初期設定では、制御信号CS5、CS6がハイレベル、制御信号CS4がローレベルとなっており、トランジスタT37、T38がそれぞれONとなり、トランジスタT36がOFFとなっている。

【0083】よって、抵抗R1、R2によるディレイ時間が付加されており、このディレイ時間と、ディレイ調整部3によるディレイ時間とによってセットアップ時間が設定されている。

【0084】また、セットアップ時間を初期設定よりも小さくする場合、制御信号CS4、CS5をローレベル

とし、制御信号CS6だけをハイレベルとする。ローレベルの制御信号CS4、CS5により、トランジスタT36、T37がOFFし、ハイレベルの制御信号CS6によってトランジスタT38がONとなる。

【0085】よって、データD_{IN}は、抵抗R1だけを介して信号増幅部5bに入力されるので入力抵抗値が最も小さくなることによってディレイ時間が最も少くなり、セットアップ時間を短く設定することができる。

【0086】さらに、入力バッファ回路1bにおけるセットアップ時間を初期設定よりも多くする場合には、制御信号CS4～CS6をすべてハイレベルとし、トランジスタT36～T38をすべてONにする。

【0087】よって、データD_{IN}は、すべての抵抗R1～R3を介して信号増幅部5bに入力されるので、入力抵抗値が最も大きくなることによってディレイ時間が最も多くなり、セットアップ時間を長く設定することができる。

【0088】それにより、本実施の形態2においても、セレクタ機能を有した信号増幅部5bによってディレイ調整部8の入力抵抗値を可変させることにより、ディレイ時間を任意に調整することができるので、入力バッファ回路1bのラッチ部6におけるセットアップ時間を最適に設定することができる。

【0089】また、ディレイ調整部8を信号増幅部5bの前段に、ディレイ調整部3を信号増幅部5の後段に分散してそれぞれ設けることにより、入力されたデータD_{IN}のt_r/t_f時間を長くすることなく、データD_{IN}の充分な振幅時間を確保しながらディレイ時間を延ばすことができる。

【0090】さらに、本実施の形態2においては、信号増幅部5bに設けられたセレクタ機能によって入力抵抗値を可変する場合について記載したが、たとえば、図4に示すように、ディレイ調整部（第4ディレイ調整部）8aにセレクタ機能を備えるように入力バッファ回路1cを構成してもよい。

【0091】この場合、入力バッファ回路1cは、信号増幅部5、ディレイ調整部3、8a、ならびにラッチ部6、7から構成されており、信号増幅部5、ディレイ調整部3、およびラッチ部6、7の回路接続構成などは、前記実施の形態1と同様である。

【0092】ディレイ調整部8aは、抵抗R1～R3、ならびにスイッチング素子（第3スイッチング部）SW1～SW3から構成されている。抵抗R1の一方の接続部には入力信号であるデータD_{IN}が入力されるように接続されている。

【0093】この抵抗R1の他方の接続部には、抵抗R2の一方の接続部、およびスイッチング素子SW3の一方の接続部がそれぞれ接続されている。抵抗R2の他方の接続部には、抵抗R3の一方の接続部、ならびにスイッチング素子SW1の一方の接続部が接続されている。

【0094】抵抗R3の他方の接続部には、スイッチング素子SW2の一方の接続部が接続されている。スイッチング素子SW1～SW3の他方の接続部には、信号増幅部5のトランジスタT5のゲートに接続されている。

【0095】これらスイッチング素子SW1～SW3は、スイッチング信号（制御信号）SWS1～SWS3が入力されており、該スイッチング信号SWS1～SWS3によってON/OFF（導通／非導通）が制御される。

【0096】スイッチング信号SWS1～SWS3は、前記実施の形態1、2と同様に、半導体集積回路装置に設けられたレジスタに格納された信号、あるいは該半導体集積回路装置に設けられた外部端子、あるいはヒューズ回路などから生成された信号である。

【0097】このような構成においても、スイッチング信号SWS1～SWS3によってスイッチング素子SW1～SW3のON/OFFを制御することによって、ディレイ時間を任意に調整することができるので、入力バッファ回路1cのラッチ部6におけるセットアップ時間是最適に設定することができる。

【0098】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0099】たとえば、前記実施の形態1では静電容量によるディレイ調整、前記実施の形態2においては抵抗によるディレイ調整について記載したが、図5に示すように、静電容量によるディレイ調整部4と抵抗によるディレイ調整部8aとを組み合わせて入力バッファ回路1dを構成したり、あるいはディレイ調整部8（図3）、およびセレクタ機能が設けられた信号増幅部5b（図3）と静電容量によるディレイ調整部4（図1）とを組み合わせて入力バッファ回路を構成するようにしてもよい。

【0100】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0101】（1）本発明によれば、入力されたデータの立ち上がり／立ち下がり時間を大幅に長くすることなくディレイ時間を任意に可変することができるので、入力バッファ回路のラッチ部におけるセットアップ時間を最適に設定することができる。

【0102】（2）また、本発明では、上記（1）により、制御信号によってセットアップ時間を容易に短時間で可変設定することができるので、製造工程で用いられ

るマスクの修正などが不要となり、半導体集積回路装置の開発期間を短縮し、かつコストを低減することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1による半導体集積回路装置に設けられた入力バッファ回路の回路図である。

【図2】本発明の他の実施の形態による半導体集積回路装置に設けられた入力バッファ回路の回路図である。

【図3】本発明の実施の形態2による半導体集積回路装置に設けられた入力バッファ回路の回路図である。

【図4】本発明の他の実施の形態による半導体集積回路装置に設けられた入力バッファ回路の一例を示す回路図である。

【図5】本発明の他の実施の形態による半導体集積回路装置に設けられた入力バッファ回路の他の例を示す回路図である。

【符号の説明】

1 入力バッファ回路

1a～1d 入力バッファ回路

2 ディレイ調整部（第1ディレイ調整部）

3 ディレイ調整部（第3ディレイ調整部）

4 ディレイ調整部（第2ディレイ調整部）

4a ディレイ調整部（第2ディレイ調整部）

5 信号増幅部

5a 信号増幅部

5b 信号増幅部

6, 7 ラッチ部

8 ディレイ調整部（第4ディレイ調整部）

8a ディレイ調整部（第4ディレイ調整部）

T1 トランジスタ（第1スイッチング部）

T2～T4 トランジスタ

T5～T9 トランジスタ

T10～T14 トランジスタ

T15～T18 トランジスタ（第2スイッチング部）

T19～T24 トランジスタ

T25～T27 トランジスタ

T28～T30 トランジスタ（第3スイッチング部、第4ディレイ調整部）

T31～T41 トランジスタ

C1～C5 静電容量素子

SW1～SW3 スイッチング部（第3スイッチング部）

Iv1～Iv4 インバータ

NR1, NR2 否定論理回路

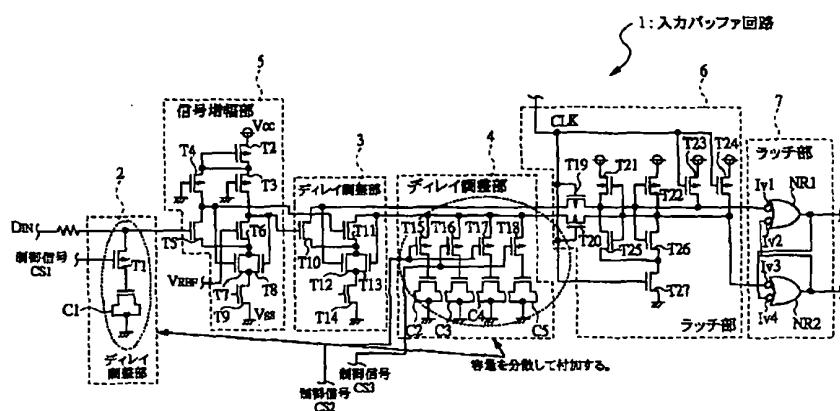
CS1～CS6 制御信号

SWS1～SWS3 スイッチング信号（制御信号）

(9) 開2002-76878 (P2002-768JL)

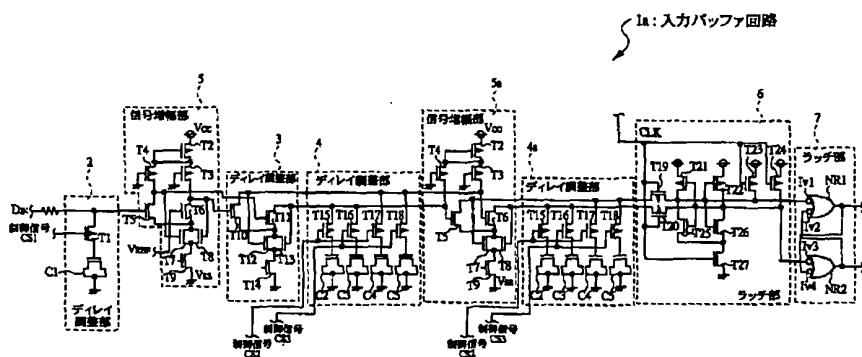
【図1】

1



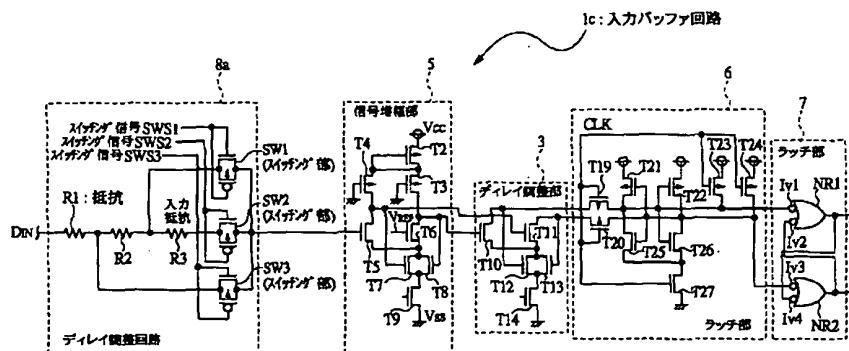
(图2)

2



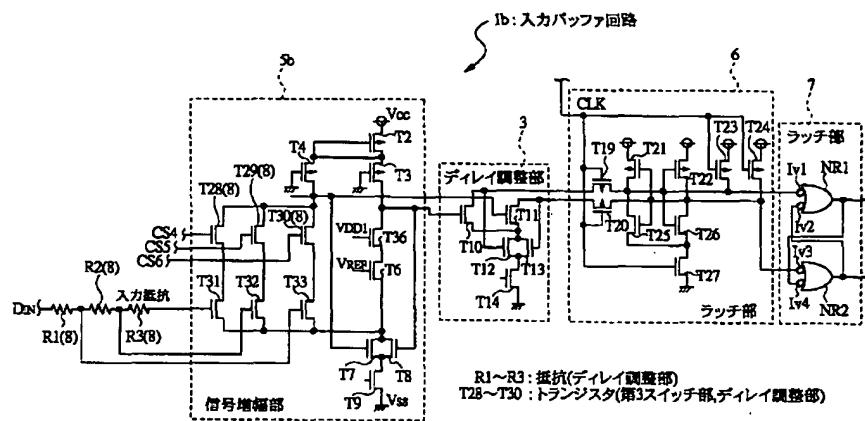
【図4】

4



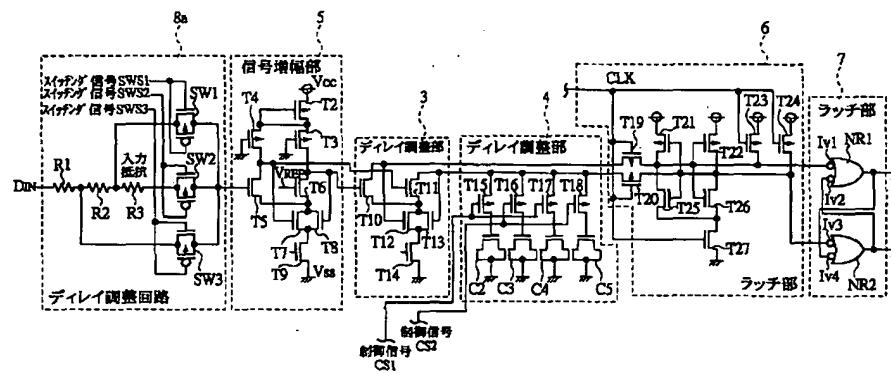
【図3】

図3



【図5】

図5



フロントページの続き

Fターム(参考) 5J001 AA04 AA11 BB03 BB11 BB12

CC03 DD09

5J056 AA01 AA39 BB60 CC05 CC14

DD28 FF01 FF07 FF08 GG14